

# Power Device Embedded Module (SIPOS\_PD0101)

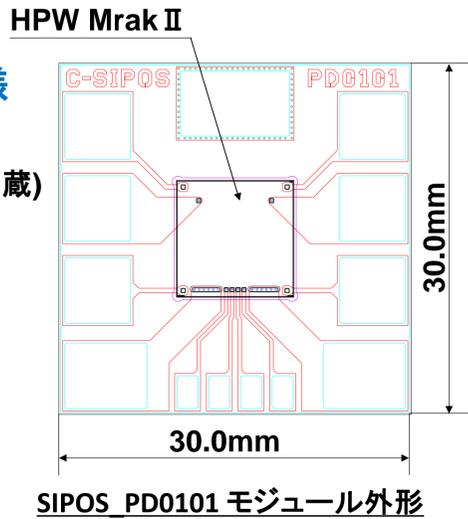
## 【背景】

産業、民生、車載分野等に幅広く適用されるパワーモジュール用Siデバイスの性能限界が近づき、SiC、GaNなど次世代デバイスが注目されている。これらの次世代デバイスのモジュール実装技術には、高耐圧、低損失、さらに高周波・高温での動作が要求される。三次元半導体研究センター及び福岡大学では、次世代パワーデバイス向け評価用TEGチップを内蔵した基板内蔵型のパワーモジュールのプロセス及び各種信頼性評価を行っている。

## 【設計概要】

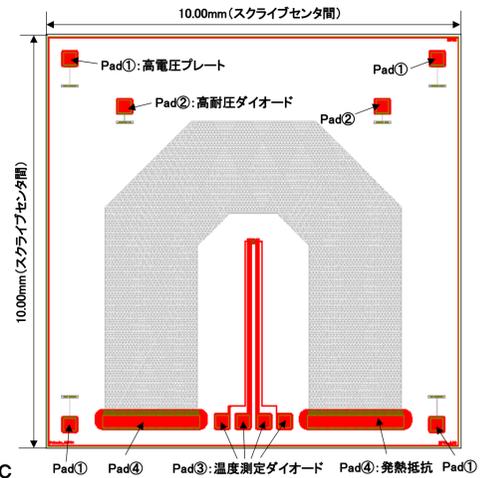
### パワーデバイス評価TEG内蔵基板仕様

- 基板型名: SIPOS PD0101
- 基板構成: 1-2-1ビルドアップ基板(コア内にChip内蔵)
- 層構成
  - Layer1 Viaランド、表層配線、測定端子
  - Layer2 キャビティ、内層配線、TH
  - Layer3 キャビティ、内層配線、TH
  - Layer4 裏面配線、測定端子、Viaランド
- Via1 Layer1-Chip Pad間接続
- Via2 Layer1-Layer2間接続
- Via3 Layer4-Chip裏面間接続
- Via4 Layer4-Layer3間接続
- TH Layer2-Layer3間接続
- SR1 表面ソルダレジスト
- SR2 裏面ソルダレジスト
- 搭載チップ
  - 型名: HPW Mark II (WALTS社製)
  - 搭載チップサイズ: 10.0mm × 10.0mm × t0.3 mm
  - Chip裏面: バックサイドメタルTi/Ni/Au
  - Pad表面: UBM



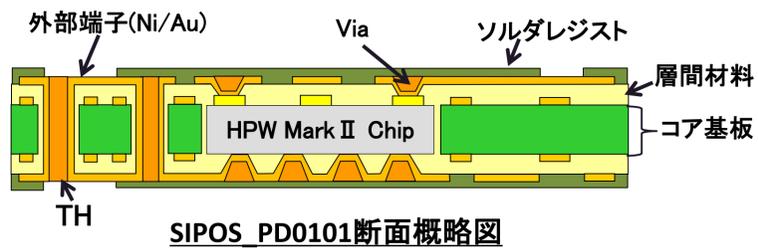
### TEG Chip HPW Mark II

- Chip外形
  - ウエハサイズ:  $\phi$  8inch (ノッチタイプ)
  - チップサイズ: 10.0 × 10.0mm
  - スクライプ幅: 120 $\mu$ m
- パッド仕様
  - パッド数
    - PAD①: 4Pad
    - PAD②: 2Pad
    - PAD③: 4Pad
    - PAD④: 2Pad 計12 pads
- パッドサイズ
  - PAD①、②、③:  $\square$ 0.400mm
  - PAD④: 2.720mm × 0.500mm
- PV開口
  - PAD①、②、③:  $\square$ 0.300mm
  - PAD④: 2.320mm × 0.300mm
- 機能
  - 高発熱抵抗: 発熱量16W
  - 高耐圧ダイオード: 耐圧Max.600V
  - 高温対応感熱ダイオード: Max.300°C
  - 高電圧プレート: 高耐圧絶縁評価



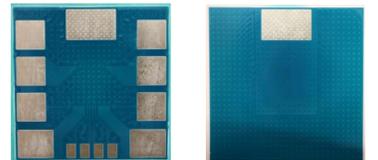
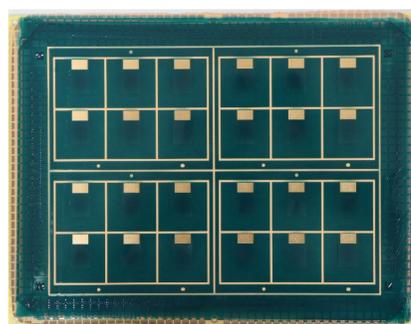
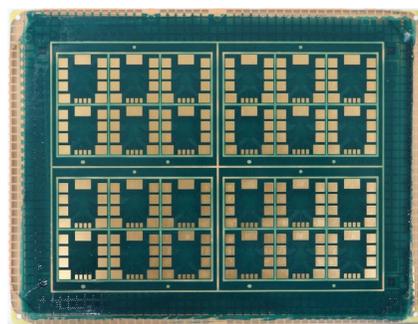
\* 株式会社WALTS殿ご提供

### 内蔵評価TEGチップ仕様(HPW Mark II)

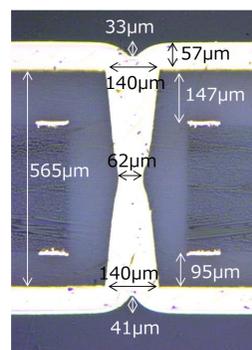


## 【試作 評価結果】

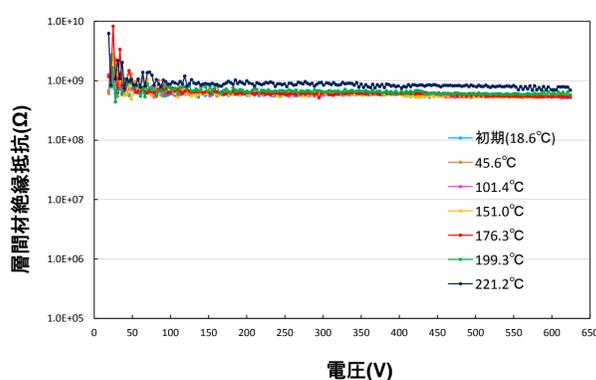
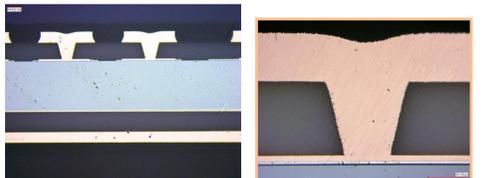
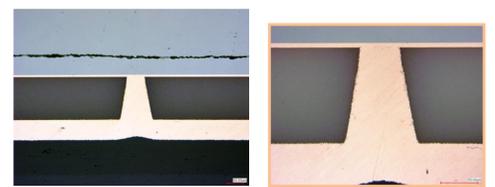
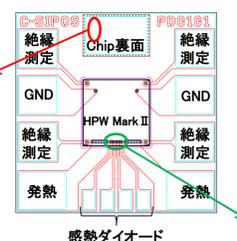
### SIPOS\_PD0101製造プロセスフロー



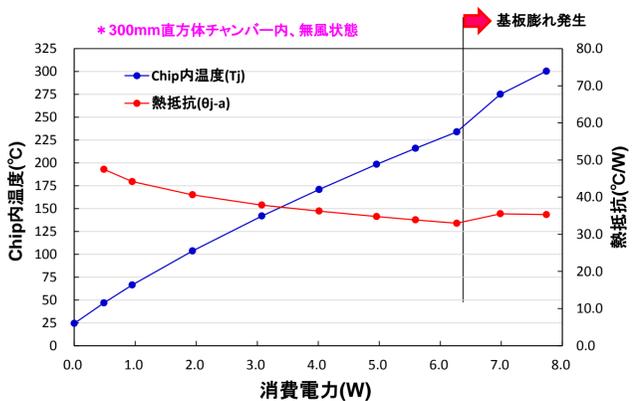
絶縁抵抗測定部断面



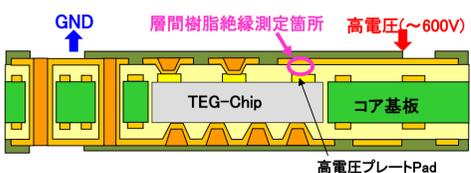
給電部貫通Via断面



SIPOS\_PD0101 加熱時絶縁抵抗測定結果



SIPOS\_PD0101 Chip内部温度及び熱抵抗測定結果



絶縁抵抗測定概略図

