

# Panel Level \_ Device Embedded Module (PL\_DEM0201)

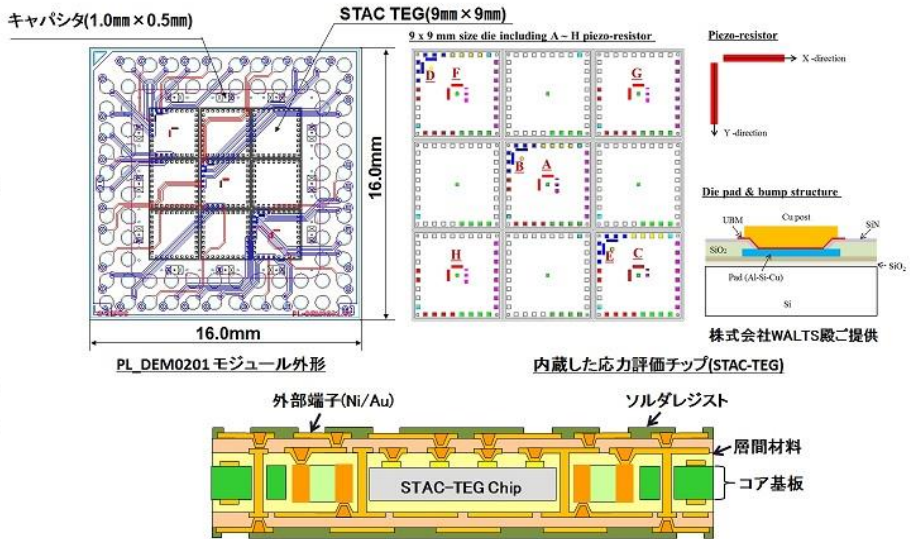
## 【背景】

狭ピッチ、多ピンのFan-out CSPを基板サイズレベルで製造するパッケージング技術が注目を集めている。三次元半導体研究センターでは、部品内蔵技術を用いて、コア基板のキャビティ内にICチップ、受動部品を内蔵する基板レベル部品内蔵モジュール(Panel Level \_ Device Embedded Module)の構造設計、プロセス開発を行っている。

## 【設計概要】

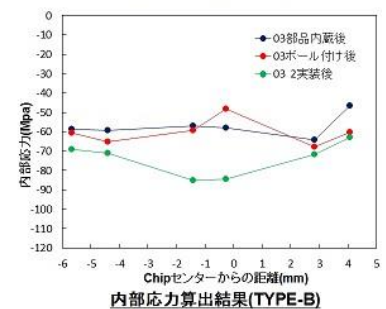
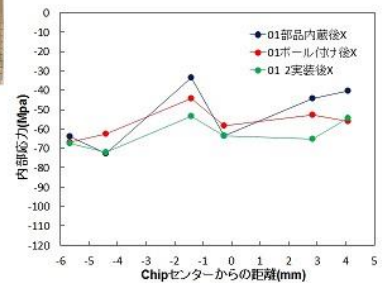
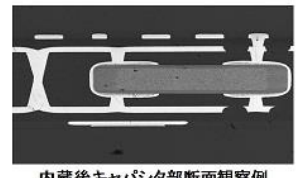
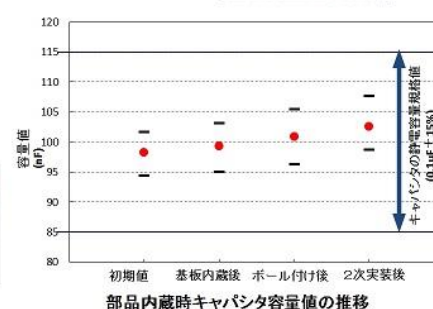
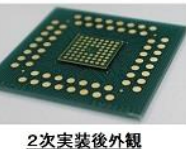
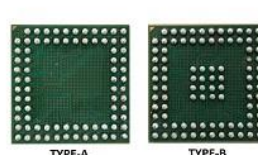
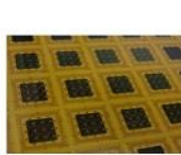
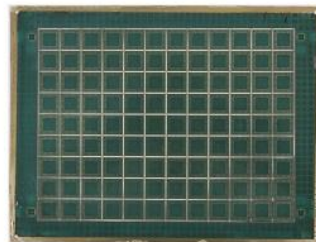
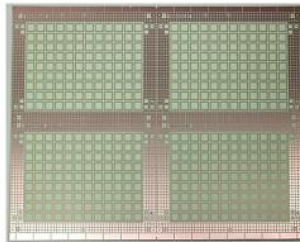
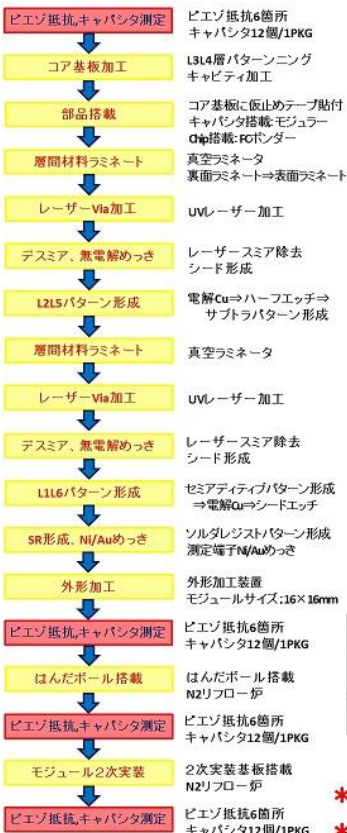
### パッケージ基本仕様

- 1.型番:SIPOS PL\_DEM0201
- 2.基板構成:2-2ビルドアップ基板
  - \*コアキャビティにChip及びキャパシタを内蔵
- 3.PKGサイズ:16.0mm×16.0mm×t0.4~0.5mm
- 4.基板搭載端子数
  - ①PL\_DEM0201\_01:79Pad(Fan-out)
  - ②PL\_DEM0201\_02:143Pad(Full-Array)
  - ③PL\_DEM0201\_03:95pad(Fan-in + Fan-out)
- 5.搭載部品
  - 5-1.TEG-Chip
    - ・型名:STAC-0101JY(WALTS社製)
    - ・搭載チップサイズ:9.0mm×9.0mm×t0.2mm
    - ・Padピッチ:120μm
    - ・Pad表面:Cuポスト(ポスト高:20μm,φ100μm)
  - 5-2.キャパシタ 12個/1PKG 搭載
    - ・サイズ:1.0mm×0.5mm×t0.18mm
    - ・電極表面:Cuめっき



## 【試作 評価結果】

### PL\_DEM0201製造プロセス及び評価フロー



\* 部品内蔵、2次実装など工程を経るごとにキャパシタ容量の増加が観察された。  
\* 2次実装時のボール配置により、内部応力変化に差異が見られる。